

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321291

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-137160

(71)Applicant : NEC CORP

(22)Date of filing : 30.05.1996

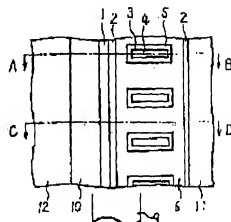
(72)Inventor : NINOMIYA HITOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance driving power by making a trench at a specified depth from the surface of a diffusion region between a gate electrode and a drain region and forming a diffusion region containing impurities of one conductivity type on the side wall of the trench thereby facilitating depletion of the extended region.

SOLUTION: A p-type silicon substrate 1 is implanted with phosphor ions from the surface thereof and heat treated to form a first diffusion region, i.e., an n- extended drain region 2. The p-type silicon substrate 1 is then subjected to anisotropic etching using a CVD oxide as a mask and a trench 3 is made in the n- extended drain region 2. Subsequently, the trench 3 is filled with BPSG 4 and a third diffusion region, i.e., a side wall p-type diffusion layer 5, is formed around the trench 3 in the n- extended drain region 2 by diffusing boron. According to the method, the entire n- extended drain region can be depleted easily.



LEGAL STATUS

[Date of request for examination] 30.05.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2850852

[Date of registration] 13.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321291

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 W 3 0 1 X

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願平8-137160

(22)出願日 平成8年(1996)5月30日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 二宮 仁

東京都港区芝五丁目7番1号 日本電気株式会社内

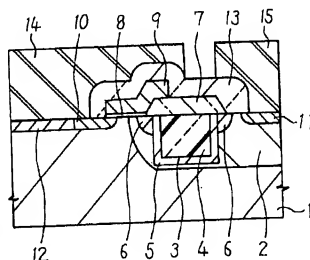
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 高耐圧横型MOS型トランジスタの延長ドレイン領域の空乏層を伸び易くし、高耐圧を保ったままオン抵抗を低減する。

【解決手段】 一導電型の半導体基板上の一領域に形成された逆導電型で高濃度不純物を含むソース領域と、半導体基板主面のゲート絶縁膜を介して形成されたゲート電極と、ゲート電極を挟み前記ソース領域に対向して形成された逆導電型で低濃度不純物を含有する第1の拡散領域とを有し、第1の拡散領域の表面部に逆導電型で高濃度不純物を含むドレイン領域が形成され、ゲート電極とドレイン領域との間であり前記第1の拡散領域の表面部に一導電型で低濃度不純物を含む第2の拡散領域が形成され、さらに第1の拡散領域の表面から所定の深さに溝が形成され溝の側壁に一導電型の不純物を含む第3の拡散領域が形成されている。



【特許請求の範囲】

【請求項1】 一導電型の半導体基板上の一領域に形成された逆導電型で高濃度不純物を含むソース領域と、前記半導体基板主面のゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟み前記ソース領域に對向して形成された逆導電型で低濃度不純物を含有する第1の拡散領域とを有し、前記第1の拡散領域の表面部に逆導電型で高濃度不純物を含むドレイン領域が形成され、前記ゲート電極と前記ドレイン領域との間であり前記第1の拡散領域の表面部に一導電型で低濃度不純物を含む第2の拡散領域が形成され、前記ゲート電極と前記ドレイン領域との間であり前記第1の拡散領域の表面から所定の深さに溝が形成され、前記溝の側壁に一導電型の不純物を含む第3の拡散領域が形成されていることを特徴とする半導体装置。

【請求項2】 前記溝の深さが、前記第1の拡散領域の深さより浅くなるように設定されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 一導電型の半導体基板上に形成された逆導電型のエピタキシャル層と、前記エピタキシャル層に形成されたバックゲート領域と、前記バックゲート領域内に形成された逆導電型で高濃度不純物を含むソース領域と、前記バックゲート領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟み前記ソース領域に對向して形成された逆導電型で高濃度不純物を含むドレイン領域とを有し、前記ゲート電極と前記ドレイン領域との間であり前記エピタキシャル層の表面部に一導電型で低濃度不純物を含む第2の拡散領域が形成され、前記ゲート電極と前記ドレイン領域との間であり前記エピタキシャル層の表面から所定の深さに溝が形成され、前記溝の側壁に一導電型の不純物を含む第3の拡散領域が形成されていることを特徴とする半導体装置。

【請求項4】 前記溝の深さが、前記エピタキシャル層の厚さより浅くなるように設定されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記溝内に一導電型の不純物を含有する絶縁材料が充填されていることを特徴とする請求項1から請求項4記載のうちの1つの請求項に記載の半導体装置。

【請求項6】 前記高耐圧の絶縁ゲート電界効果トランジスタの動作において、前記ソース領域、半導体基板、第2の拡散領域および第3の拡散領域が接地電位に固定され前記ドレイン領域に電源電圧が印加されていることを特徴とする請求項1から請求項5記載のうちの1つの請求項に記載の半導体装置。

【請求項7】 前記第1の拡散領域が全て空乏化されていることを特徴とする請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に高電圧で使用する高耐圧用模型MOSトランジスタに関する。

【0002】

【従来の技術】 半導体装置を搭載する機器によっては電源電圧が非常に高くなる場合がある。このために、このような機器に使用される半導体装置では優れた高耐圧特性が要求されるようになる。そして、このような半導体装置に用いられる高耐圧のトランジスタとしては、一般に模型MOSトランジスタが使用される。

【0003】 従来の高耐圧で横型の絶縁ゲート電界効果トランジスタ（以下、高耐圧模型MOSFETという）について、図8と図9に基づいて説明する。図8は、米国特許であるUSP4811075に記載されている高耐圧模型MOSFETの断面図である。また、図9は、USP5294824に記載されている高耐圧模型MOSFETの平面図である。以下、前者を第1の従来例と、後者を第2の従来例と記す。

【0004】 初めに第1の従来例を説明する。図8に示すように、p型シリコン基板101にn⁺延長ドレイン領域102を備え、n⁺延長ドレイン領域102の表面にp型拡散層103と素子分離絶縁膜104、p型拡散層103に接しないn⁺ドレイン領域108を備え、p型シリコン基板の表面にn⁺ソース領域107、バックゲート電極となるp⁺拡散領域109を備え、p型シリコン基板101表面をチャネルとし、n⁺延長ドレイン領域102とn⁺ソース領域107にまたがるゲート絶縁膜105を介してゲート電極106を備えている。そして、層間絶縁膜110、ソース電極111およびドレイン電極112を備えている。

【0005】 この構造のMOS型トランジスタは、n⁺延長ドレイン領域102の下側となるp型シリコン基板101と上側となるp型拡散層103の両方向からn⁺延長ドレイン領域102を空乏化できるため、p型拡散層103が無い構造のMOS型トランジスタよりもn⁺延長ドレイン領域102を低抵抗化することが可能であり、トランジスタ導通時（オン時）のドレイン・ソース間のオン抵抗を低減できる。このような構造は、一般的にダブルサーフ（Double RESURF）構造とよばれている。

【0006】 次に、第2の従来例としたUSP5294824で提案されている構造は、前記のUSP4811075により考案されている構造の上側のp型拡散層103を溝状にしたものである。このような高耐圧模型MOSFETの平面図を図9に示す。ここで、上記p型拡散層103に相当するp型拡散層203に斜線が施されている。

【0007】 図9に示すように、p型シリコン基板201上にn⁺延長ドレイン領域202が形成され、この領域内に溝状のp型拡散層203が形成されている。そし

て、ゲート電極206、 n^+ ソース領域207、 n^+ ドレイン領域208および p -拡散領域209が形成されている。ここで、 n^+ 延長ドレイン領域202の下側となる p 型シリコン基板201と上側となる p 型拡散層203の両方向から n^+ 延長ドレイン領域202を空乏化させる効果は第1の従来例と同じである。しかし、この場合には、 p 型拡散層203が溝状に形成されているため、MOSトランジスタオン時で n^+ 延長ドレイン領域202の電荷通過の断面積が第1の従来例の場合よりも増加する。そして、トランジスタオン時のドレイン・ソース間オン抵抗がさらに低減するようになる。

【0008】

【発明が解決しようとする課題】しかしながら、このような従来のダブルリサープの高耐圧型MOSFET構造では、高電圧が n^+ ドレイン領域に印加された場合、 n^+ 延長ドレイン領域は上下方向からの空乏化される。このため、 n^+ 延長ドレイン領域の空乏化をさらに容易にしようとする、 n^+ 延長ドレイン領域の不純物濃度を低下させることが必要になる。

【0009】しかし、 n^+ 延長ドレイン領域の不純物濃度を低下させると、この領域の抵抗が高くなる。そして、結局は高耐圧型MOSFETのドレイン抵抗が高くなりこのトランジスタの駆動能力が低下する。このために、トランジスタのオン抵抗を低減することに限界が生じる。

【0010】あるいは、高耐圧型MOSFETを搭載する機器によっては、高耐圧型MOSFETに大電流動作を必要とする場合がある。この場合には、従来の技術では上記の理由からドレイン領域の低抵抗化には限界があり、高耐圧型MOSFETの大電流動作で問題が

あった。

【0011】本発明の目的は、高耐圧型MOSFETの延長ドレイン領域の空乏化をさらに容易にし、その駆動能力を高めることにある。そして上記の問題点を解決しようとするものである。

【0012】

【課題を解決するための手段】このために、本発明の半導体装置では、一導電型の半導体基板上の一領域に形成された逆導電型で高濃度不純物を含むソース領域と、前記半導体基板主面のゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟み前記ソース領域に対向して形成された逆導電型で低濃度不純物を含有する第1の拡散領域とを有し、前記第1の拡散領域の表面部に逆導電型で高濃度不純物を含むドレイン領域が形成され、前記ゲート電極と前記ドレイン領域との間であり前記第1の拡散領域の表面部に一導電型で低濃度不純物を含む第2の拡散領域が形成され、前記ゲート電極と前記ドレイン領域との間であり前記第1の拡散領域の表面から所定の深さに溝が形成され、前記溝の側壁に一導電型の不純物を含む第3の拡散領域が形成されている。

【0013】ここで、前記溝の深さは、前記第1の拡散領域の深さより浅くなるように設定されている。

【0014】あるいは、本発明の半導体装置では、一導電型の半導体基板上に形成された逆導電型のエピタキシャル層と、前記エピタキシャル層に形成されたバックゲート領域と、前記バックゲート領域内に形成された逆導電型で高濃度不純物を含むソース領域と、前記バックゲート領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟み前記ソース領域に対向して形成された逆導電型で高濃度不純物を含むドレイン領域とを有し、前記ゲート電極と前記ドレイン領域との間であり前記エピタキシャル層の表面部に一導電型で低濃度不純物を含む第2の拡散領域が形成され、前記ゲート電極と前記ドレイン領域との間であり前記エピタキシャル層の表面から所定の深さに溝が形成され、前記溝の側壁に一導電型の不純物を含む第3の拡散領域が形成されている。

【0015】ここで、前記溝の深さは、前記エピタキシャル層の膜厚より浅くなるように設定されている。

【0016】また、前記溝内には一導電型の不純物を含む導電材料が充填される。

【0017】そして、前記高耐圧の絶縁ゲート電界効果トランジスタの動作において、前記ソース領域、半導体基板、第2の拡散領域および第3の拡散領域が接地電位に固定され前記ドレイン領域に電流電圧が印加されている。

【0018】そして、前記高耐圧の絶縁ゲート電界効果トランジスタの動作において、前記第1の拡散領域が全て空乏化されている。

【0019】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1、図2および図3は本発明の第1の実施の形態を説明するためのものである。ここで、図1は本発明の高耐圧型MOSFETの平面図であり、図2は、図1に記すA-Bで切断した断面図であり、図3はC-Dでの断面図である。この場合の構造の特徴は、 n^+ 延長ドレイン領域内にトレンチと、その周囲の側壁 p 型拡散層と、 n^+ 延長ドレイン領域表面に p 型拡散層とが形成されることである。

【0020】図1に示すように、 p 型シリコン基板1上に n^+ 延長ドレイン領域2が形成され、この領域内に複数のトレンチ3が形成されている。このトレンチ3内には埋込BPSGが埋設され、その周りには側壁 p 型拡散層5が形成されている。また、 n^+ 延長ドレイン領域2内には p 型拡散層6が形成されている。そして、従来の技術と同様に、ゲート絶縁膜8、ゲート電極9、 n^+ ソース領域10、 n^+ ドレイン領域11および p -拡散領域12等が形成されている。

【0021】図2および図3に示す高耐圧型MOSFETは次のようにして製造される。すなわち、抵抗率が

500℃程度のp型シリコン基板1表面を950℃の熱酸化により、450nmのシリコン酸化膜を形成し、フォトリソグラフィ技術とイオン注入技術とで選択的に、p型シリコン基板1の表面からリンをドーズ量 $3 \times 10^{15}/\text{cm}^2$ 、エネルギー150keVでイオン注入する。そして、1200℃の熱処理により第1の拡散領域である約6μmの深さのn⁺延長ドレイン領域2を形成する。

【0022】次に、CVD酸化膜を300nmの厚さに化学気相成長(CVD)させ、フォトリソグラフィ技術とドライエッチング技術とによりCVD酸化膜を選択的に異方性エッチングする。そして、上記のCVD酸化膜をマスクとしてp型シリコン基板1を約5μmの深さに異方性エッチングし、図2に示すようにトレンチ3をn⁺延長ドレイン領域2に形成する。

【0023】次に、BPSG(ボロンガラスとリンガラスを含むシリコン酸化膜)を650nmの厚さにCVD法で成長させ、950℃で30分程度の熱処理でリフローした後、全面をエッチバックする。これにより、トレンチ3の内部を埋込BPSG4で充填する。そして、埋込BPSG4からのボロン拡散により、n⁺延長ドレイン領域2内のトレンチ3の周囲には第3の拡散領域である側壁p型拡散層5を形成する。

【0024】次に、図2および図3に示すように、フォトリソグラフィ技術とイオン注入技術とによりp型シリコン基板1の表面から選択的にボロンをドーズ量 $2 \times 10^{12}/\text{cm}^2$ 、エネルギー100keVでイオン注入する。これにより、n⁺延長ドレイン領域2表面に第2の拡散領域であるp型拡散層6を形成する。

【0025】次に、シリコン酸化膜を600nmの厚さに減圧CVD法で堆積させ、フォトリソグラフィ技術とドライエッチング技術とにより、このシリコン酸化膜を選択的にウェットエッチングし部分的に厚い素子分離絶縁膜7を形成する。

【0026】次に、 H_2 - O_2 雰囲気、950℃温度で5分程度の熱酸化をして膜厚が約50nmのゲート絶縁膜8を形成する。そして、ポリシリコン膜を600nmの厚さにCVD法で堆積し、フォトリソグラフィ技術とドライエッチング技術とによりこのポリシリコン膜を選択的に異方性エッチングし、ゲート電極9を形成する。

【0027】次に、フォトリソグラフィ技術とドライエッチング技術とにより、選択的にトラスをドーズ量 $5 \times 10^{15}/\text{cm}^2$ 、エネルギー70keVでイオン注入し、n⁺ソース領域10とn⁺ドレイン領域11を形成する。

【0028】次に、フォトリソグラフィ技術とイオン注入技術とで選択的にボロンをドーズ量 $5 \times 10^{15}/\text{cm}^2$ 、エネルギー50keVでイオン注入し、p⁺拡散領域12を形成する。次に、BPSGを1000nmの

厚さにCVD成長させ、850℃で30分程度の熱処理でリフローした後、フォトリソグラフィ技術とドライエッチング技術とにより選択的に異方性エッチングを行い、層間絶縁膜13とソース・ドレイン用のコンタクトホールを形成する。

【0029】次に、アルミ金属膜を1μm程度の厚さに蒸着法またはスパッタ法で堆積し、ドライエッチング技術によりこのアルミ金属膜を異方性エッチングして、ソース電極14およびドレイン電極15を形成する。このようにして本発明の高耐圧横型MOSFETが形成される。

【0030】このような高耐圧横型MOSFETの構造では、ドレイン電圧の緩和領域すなわち電界緩和領域となるn⁺延長ドレイン領域2に、p型シリコン基板1とp型拡散層6とのpn接合と、トレンチ3周囲の側壁p型拡散層5とのpn接合が形成される。このため、p型シリコン基板および上側のp型拡散層からのpn接合では空乏化できなかったn⁺延長ドレイン領域が空乏化され、n⁺延長ドレイン領域の全域が容易に空乏化できるようになる。そして、n⁺延長ドレイン領域を従来より低抵抗にしても、ドレイン・ソース間に生じた電圧を緩和できる距離まで空乏層を伸ばすことができる。その効果を模式的に表したものが図4である。

【0031】図4(a)は本発明の場合を示し、図4(b)は先述した第2の従来例の場合を示す。ここで、不純物の濃度は同一とし、ドレイン電圧は一定としている。

【0032】本発明の場合には、図4(a)に示すように、n⁺延長ドレイン領域2に形成される空乏層は、p型シリコン基板1の方向からとp型拡散層6の方向からとで形成される。そして、さらに、埋込BPSG4の周りの複数の側壁p型拡散層5間でもn⁺延長ドレイン領域2の空乏化がなされる。これに対し、第2の従来例の場合には、図4(b)に示すように、n⁺延長ドレイン領域202に形成される空乏層は、p型シリコン基板201の方向からとp型拡散層203の方向からとで形成されるのみである。ここで、斜線で示した領域は全て空乏化された領域として示している。

【0033】これらの結果、本発明の場合には、n⁺延長ドレイン領域における抵抗を第2の従来例の場合よりさらに低減することができるため、高耐圧横型MOSFETオン時のドレイン・ソース間オン抵抗を低減することが可能となる。

【0034】次に、本発明の第2の実施の形態を図5、図6および図7に基づいて説明する。ここで、図5は本発明の高耐圧横型MOSFETの平面図であり、図6は、図5に記すE-Fで切断した断面図であり、図7はG-Hでの断面図である。

【0035】本発明の第1の実施の形態では、電界緩和領域となるn⁺延長ドレイン領域2はイオン注入と高温

熱処理によるp型シリコン基板1への不純物拡散により形成されている。しかし、第2の実施の形態では電界緩和領域はエピタキシャル成長により形成された低濃度不純物層に設けられている。

【0036】また、第1の軍旅の形態ではMOSトランジスタのチャネル領域となるのはp型シリコン基板1の表面であるのに対し、この第2の実施の形態ではp⁺バックゲート領域という不純物拡散層の表面がチャネル領域となる。

【0037】以下、詳細に説明する。図5、図6および図7に示すように、p型シリコン基板21上にn⁺エピタキシャル層22が形成され、この領域内に複数のトレンチ23が形成されている。このトレンチ23内には埋込BPSG24が埋設され、その周りには側壁p型拡散層25が形成されている。また、n⁺エピタキシャル層22表面にはp型拡散層26が形成されている。そして、その表面がチャネルとなるp⁺バックゲート領域30が形成されている。その他は従来の技術と同様に、素子分離絶縁膜27、ゲート絶縁膜28、ゲート電極29、n⁺ソース領域31、n⁺ドレイン領域32、層間絶縁膜33、ソース電極34およびドレイン電極35が形成され、これらをもって本発明の高耐圧型MOSFETが構成される。

【0038】この場合には、n⁺エピタキシャル層22は、p型シリコン基板21と、素子上部のp型拡散層26とのpn接合に加え、n⁺エピタキシャル層22内のトレンチ23周囲の側壁p型拡散層25とのpn接合がある。このため、第1の実施の形態の効果と同様にn⁺エピタキシャル層22の全域が容易に変化できるようになる。そして、n⁺エピタキシャル層を従来より低い抵抗率としても、ドレイン・ソース間に生じた電圧を緩和できる距離まで空乏層を伸ばすことが可能となる。この結果、n⁺エピタキシャル層22における抵抗を低減することができるため、第1の実施の形態と同様に高耐圧型MOSFETのオン時のドレイン・ソース間抵抗を低減することが可能となる。

【0039】

【発明の効果】本発明の高耐圧型MOSFETの構造は、n⁺延長ドレイン領域は、p型シリコン基板と、素子上部のp型拡散層とのpn接合に加え、n⁺延長ドレイン領域内のトレンチ周囲の側壁p型拡散層とのpn接合を有している。

【0040】このためp型シリコン基板および上側のp型拡散層からだけでは空乏化できなかったn⁺延長ドレイン領域が空乏化でき、n⁺延長ドレイン領域の全域が容易に変化されるようになる。そして、n⁺延長ドレイン領域を従来より低い抵抗率としても、ドレイン・ソ

ース間に生じた電圧を緩和できる距離まで空乏層を伸ばすことが可能となる。このために、n⁺延長ドレイン領域における抵抗を低減することができるようになり、高耐圧型MOSFETオン時のドレイン・ソース間抵抗すなわちオン抵抗を低減することが可能となる。

【0041】このような効果は、n⁺延長ドレイン領域の代りにn⁺エピタキシャル層が形成される場合も同様となる。

【0042】また、高耐圧型MOSFETの電流駆動能力が大幅に向上するようになるため、高耐圧で大電流の高耐圧型MOSFETが形成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の高耐圧型MOSFETの平面図である。

【図2】上記高耐圧型MOSFETの断面図である。

【図3】上記高耐圧型MOSFETの断面図である。

【図4】本発明の効果を説明するための模式断面図である。

【図5】本発明の第2の実施の形態の高耐圧型MOSFETの平面図である。

【図6】本発明の第2の実施の形態の高耐圧型MOSFETの断面図である。

【図7】本発明の第2の実施の形態の高耐圧型MOSFETの断面図である。

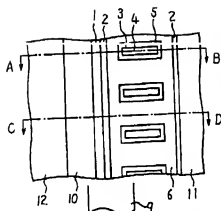
【図8】第1の従来例を説明するための高耐圧型MOSFETの断面図である。

【図9】第2の従来例を説明するための高耐圧型MOSFETの平面図である。

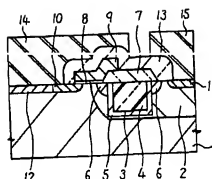
【符号の説明】

- | | |
|------------------|-------------------------|
| 1, 101, 201 | p型シリコン基板 |
| 2, 102, 202 | n ⁺ 延長ドレイン領域 |
| 3, 23 | トレンチ |
| 4, 24 | 埋込BPSG |
| 5, 25 | 側壁p型拡散層 |
| 6, 26, 103, 203 | p型拡散層 |
| 7, 27, 104 | 素子分離絶縁膜 |
| 8, 28, 105 | ゲート絶縁膜 |
| 9, 29, 106, 206 | ゲート電極 |
| 10, 31, 107, 207 | n ⁺ ソース領域 |
| 11, 32, 108, 208 | n ⁺ ドレイン領域 |
| 12, 109, 209 | p ⁺ 拡散領域 |
| 13, 33, 110 | 層間絶縁膜 |
| 14, 34, 111 | ソース電極 |
| 15, 35, 112 | ドレイン電極 |
| 21 | p型シリコン基板 |
| 22 | n ⁺ エピタキシャル層 |
| 30 | p ⁺ バックゲート領域 |

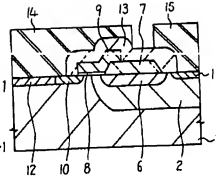
【図1】



【図2】



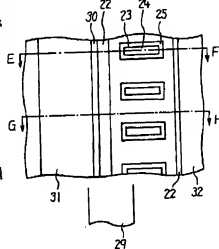
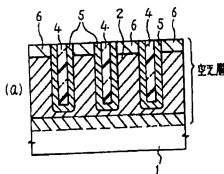
【図3】



【図5】

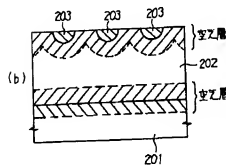
- 1 p型シリコン基板
2 n+多結晶シリコン領域
3 酸化シリコン膜
4 SiO₂膜
5 酸化シリコン膜
6 p+多結晶シリコン領域
7 n+多結晶シリコン領域
8 n+多結晶シリコン領域
9 n+多結晶シリコン領域
10 n+多結晶シリコン領域
11 n+多結晶シリコン領域
12 p+多結晶シリコン領域

【図4】

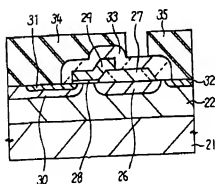


【図6】

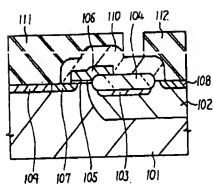
- 21 p型シリコン基板
22 n+多結晶シリコン領域



【図7】



【図8】



【図9】

